

# TITLE OF THE INVENTION

プロセッサシステムとデータプロセッシング方法

PROCESSOR SYSTEM AND DATA PROCESSING METHOD

## BACKGROUND OF THE INVENTION

最近、デジタル処理技術が進歩してきており、例えば、画像情報の処理についても、様々な画像処理が一つ又は複数のプロセッサで行われている。例えば、特開平06-223166においては、複数の機能を有する画像処理プロセッサが開示されており、要求に応じてその機能を変えることができるプロセッサが示されている。

しかし、この従来技術においては、具体的にどのようにプロセッサの内部で所望の画像処理機能を実現するか具体的な記載がなされていないため、容易には実施することができないという問題がある。

#### BRIEF SUMMARY OF THE INVENTION

本発明の一実施形態は、所定の情報処理機能をもつ固定処理部と、変更可能の情報処理機能をもつ可変処理部と、固定処理部に与えられたタスクを処理させ、又は、可変処理部の情報処理機能を新たに設定した後、タスクを処理させるべく制御する制御部とを有するプロセッサシステムである。

## BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

FIG. 1 は、本発明に係るプロセッサシステムのブロック図の一例を示す図。

FIG. 2 は、本発明に係るプロセッサシステムの可変処理部の構成を示すブロック図の一例を示す図。

FIG. 3 は、本発明に係るプロセッサシステムの可変処理部の構成の詳細を示すブロック図の一例を示す図。

FIG. 4 は、本発明に係るプロセッサシステムが行う識別処理のアーキテクチャの一例を示す図。

FIG. 5 は、本発明に係るプロセッサシステムが行う識別処理のアーキテクチャの一例を示す図。

FIG. 6 は、本発明に係るプロセッサシステムが行う識別処理のアーキテクチャの一例を示す図。

FIG. 7 は、本発明に係るプロセッサシステムが行う識別処理のアーキテクチャの一例を示す図。

FIG. 8 は、本発明に係るプロセッサシステムが行うフィルタリング処理のアーキテクチャの一例を示す図。

FIG. 9 は、本発明に係るプロセッサシステムが行う色変換処理のアーキテクチャの一例を示す図。

FIG. 10 は、本発明に係るプロセッサシステムの処理を示すフローチャートの一例を示す図。

FIG. 11 は、本発明に係るマルチプロセッサシステムのブロック図の一例を示す図。

FIG. 12 は、本発明に係るマルチプロセッサシステムの制御信号群の詳細を示すブロック図の一例を示す図。

FIG. 13 は、本発明に係るプロセッサシステムのC P調停プロセッサのブロック図の一例を示す図。

FIG. 14 は、本発明に係るマルチプロセッサシステムのC P調停プロセッサの処理を示すフローチャートの一例を示す図。

## DETAILED DESCRIPTION OF THE INVENTION

以下、図面を用いて本発明に係るプロセッサシステムの実施形態を詳細に説明する。

初めに、本発明に係るプロセッサシステムの一例を図面を用いて詳細に説明する。

その後、このプロセッサシステムを Co-Processor として複数用いたマルチプロセッサシステムについて、図面を用いて詳細に説明する。

### <本発明に係るプロセッサの一例>

FIG. 1～FIG. 10を参照して、以下に、本発明に係るプロセッサの一例の基本構成及び動作を説明する。

#### (基本構成)

プロセッサシステム14、15、16は、FIG. 1に示すように、接続情報をロードすることで既成の回路機能を所望の回路機能へと変更することができる変更処理部27a～cと、一つの回路機能をもつ固定処理部28a～cとを有するものである。すなわち、本発明に係るプロセッサシステムは、FIG. 1に示すように、外部から制御信号を受けこのプロセッサ14の全体の動作を司る制御部20と、この制御部20に接続され、後述するセクタ104、105等にマトリックススイッチ等の接続情報を供給する設定レジスタ25と、外部から、一例として、画像情報を受けるバスインタフェース21と、ここから画像情報を受けて、R信号、G信号、B信号を記憶領域にそれぞれ格納するRバッファ22、Gバッファ23、Bバッファ24と、これらのバッファ22、23、24を介して、所定処理を施す、色信号毎の複数の処理部26a、26b、26cとを有している。更に、この複数の処理部26a～26cは、接続情報をロードすることで既成の回路機能を所望の回路機能へと変更することができる変更処理部27と、一つの回路機能をもつ固定処理部28とを有している。

又、FIG. 2は、プロセッサシステム14の具体的な構成の一部の一例を示すものであり、この図において、プロセッサシステム14は、バスインタフェースコントロール信号BI/FCnt1が供給されるバッファ回路22、23、24と、これに接続される制御部20でありバッファ22、23、24の動作を制御するメモリコントローラ101と、制御部20の制御に応じて、後述するセクタ104、105等にマトリックススイッチ等の接続情報を供給する設定レジスタ25と、設定レジスタ25からウィンドウサイズ等の情報が供給され、マトリックス状に構成され、処理機能を変更することができる可変処理部27の構成要素となるPE (Processing Element)

103と、これに接続される記憶領域であるFIFO (First In First Out) 102とを有している。

又、FIG. 3は、プロセッサシステム14の具体的な構成の詳細な一部を示す図の一例であり、この図において、プロセッサシステム14が有する可変処理部27の構成要素103は、ALU (Arithmetic Logic Unit) 106と、MAC (Multiplier Accumulate Component) 107と、LUT (Look Up Table) 108と、FIFO102との機能ブロックを少なくとも有している。

更に、構成要素103は、設定レジスタ25から、ウィンドウサイズ信号が与えられ、又、この構成要素103に供給される信号を選択するセクタ104と、この構成要素103から出力される信号を選択するセクタ105とを有しており、設定レジスタ25が、マトリックススイッチ等の接続情報 (回路構成ヒストリレジスタ) をセクタ104、105に供給することにより、レジスタ内容を書き換えられ、これにより、可変処理部27の構成要素103のALU106、MAC107、LUT108等が適宜、接続されて、後述するような様々な形態の処理機能 (特に画像情報処理機能) を必要に応じて生成するものである。又、固定処理部28は、接続情報がプリ・インストールされている。

#### (可変処理部と固定処理部)

すなわち、固定処理部28だけの搭載では各アルゴリズム毎にPE (Processing Element) が必要になり、予め、使われるアルゴリズムに対応した固定処理部28を用意しなければならない。このことは大変冗長が発生し、コスト増大を招く。

可変処理部27はその欠点を補ったもので、予めMFP画像処理に必要な演算器などをユニットレベルで用意しておくことでMFPで考えうる画像アルゴリズムに適応処理が可能になる。実施形態としては、各々のプロセッサのPEを異なったアルゴリズムに対応させることはもちろん、後述するように、全てを可変処理部27をフィルタ演算に適用し、複数のプロセッサを設けたマルチプロセッサシステムを構成して、これらの可変処理部27の処理を同時並行的に行うことで、高速処理が可能にもなる。

ここで、演算器等は、上述したALU、MAC、LUT、FIFOのことであり、これらのユニットをマトリックス上の信号線に接続し、それらの接点をレジスタからの接続情報によって切り替えることで、任意な演算器を構成することができる。

一般的に知られているFPGA (Field Programable Gate Array) 等ではユニット

が細かく冗長が大きいため、このような使用は難しい。又、ここまでMFP (Multi-functional Pedestal) に特化した演算ユニット単位での可変性をもっていない。

#### (画像処理機能の例)

MFPの画像処理には、以下のような様々な処理形態がある。代表的なものとして、フィルタリング処理、識別処理、色変換処理などが挙げられる。各処理に必要な演算器が以下に説明するようにほぼ確定している。そのため、それ以外の画像処理アルゴリズムには対応は不可能である。固定処理部28とは、予め処理可能なアルゴリズムが決められている専用処理部のことである。各処理について以下に説明する。

FIG. 4のアーキテクチャ図が示す識別処理1は、エッジ検出(画像の境界の検知)を行うもので、エッジ検出を行うにはFIG. 5のような演算器が要求される。要求された基本的な演算器は、複数の乗数器41とこれらの出力を受ける加算器44である。要求された乗数の数および加算器44は、計算のために使用されたウィンドウのサイズに依存し、ウィンドウ・サイズが $K \times K$ である場合、 $K$ の2乗数が要求される。

次に、FIG. 5のアーキテクチャ図が示す識別処理2は、入力画像の $K \times K$ イメージ・ウィンドウ上で実行するもので、計算に必要な演算器は、アンド回路51~53と、これらの出力のオワを取るオワ回路54とである。

又、FIG. 6のアーキテクチャ図が示す識別処理3は、複数のアンド回路61、62と、これらの出力を加算する加算器63と、この出力と所定値との比較を行う比較器60とを有している。

FIG. 7のアーキテクチャ図が示す識別処理4は、少なくともオブジェクト・ピクセルを囲むトップピクセル71、ボトムピクセル72、ライトピクセル73、レフトピクセル74を用いる。ここで、オブジェクト・ピクセルのしきい値番号がある場合、これらの情報は、セットとして扱われる。更に、このアーキテクチャは、各ピクセルの数を数えるための加算器75、76と、これらの出力を比較する1セットのANDゲートの比較器77、78とで構成される。すなわち、この識別処理4では、4つの画素位置(トップ、ボトム、左、右)を利用し、トップとボトムのピクセル位置はともに合計され、左と右の値の2つの結果は指定されたしきい値と比較されることで、画像情報の識別が行われる。

FIG. 8のアーキテクチャ図が示すフィルタリング処理は、画像情報のフィルタ処理

を行うもので、ここで必要な計算ユニットは、乗算器 8 1 ~ 8 3 と、これらの出力を合計する加算器 8 4 である。

FIG. 9 のアーキテクチャ図が示す色変換処理は、他のアルゴリズムと異なり、色変換は 1 画素ごとのオペレーションでウィンドウを必要としない。すなわち、RGB 信号から、Index generation Logic 9 1 を経て、ルックアップテーブル 9 2 を介し、Adders Multiplies And shift register 9 3 により、CMY 信号へと変換する。この変換に用いられるテーブルは、 $9 \times 9 \times 9$  LUT の合計を考えれば、729 ある。又、LUT からの出力は、乗数、シフター、アダーおよび加算器のカスケードとして結果を計算するのに使用される。色変換処理の一例として、1 つの画素出力に関し、9 つの乗算器と 8 つの加算器が要求される。

#### (動作)

次に、上述したプロセッサシステムの処理動作の一例を、FIG. 10 のフローチャートを用いて、以下に詳細に説明する。FIG. 1 に示されるプロセッサシステム 1 4 は、初めに、制御部 2 0 において、インタフェースを介して与えられたソフトウェアからの要求を取得する (S 1)。制御部 2 0 に含まれる解析機能により、現在の固定処理部 2 8 の働きにより、プログラムで要求されている時間内、又は、予め制御部 2 0 に与えられている時間内に処理できるかどうか判断される (S 2)。又は、ここで時間を考慮せずに、単に、現在の固定処理部 2 8 の機能で処理できるかどうか判断される。固定処理部 2 8 で処理されると判断されれば、固定処理 2 8 で処理を進める (S 3)。

制御部 2 0 において、現在の固定処理部 2 8 で処理ができないと判断されると (S 2)、現在の可変処理部 2 7 に設定された機能で時間内に (又は時間を考慮せず) 処理することができるかどうか判断される (S 4)。現在の可変処理部 2 7 により処理が可能であれば、可変処理部 2 7 で処理を行う (S 5)。又、ここで、可変処理部 2 7 と固定処理部 2 8 とを併用することで処理が可能であれば、併用して処理を行うことも好適である。そして、現在の可変処理部 2 7 により処理が不可能であれば、ソフトウェアが要求する処理に応じて、可変処理部 2 7 に適正な処理機能をもたせるべく、設定レジスタ 2 5 から接続情報をセクタ 1 0 4, 1 0 5 に供給する (S 6)。そして、この接続情報に応じて、新たな適正な処理機能が設定された可変処理部 2 7 により、ソフトウェアの処理を実行する (S 7)。

このような処理を行うことにより、プロセッサシステムにおいては、限られたハードウェア資源内により、与えられたプログラムの要求する処理を、最も早い処理速度により実行することが可能となる。

#### <マルチプロセッサシステムの構成と動作>

次に、上述したプロセッサシステムを複数使用したマルチプロセッサシステムについて、FIG. 1 1～FIG. 1 4を用いて説明する。

##### (構成)

プロセッサシステムを Co-Processor として複数設けたマルチプロセッサシステムは、FIG. 1 1に示すように、main CPU（以下、CPUとする）1 3と、これにアドレスバスを介して接続される、上述したプロセッサシステムである複数のCP 1 4, 1 5, 1 6と、データバスに接続されるメモリ1 2と、外部との通信を行う外部インタフェース1 7と、これら、CPU 1 3と複数のCP 1 4, 1 5, 1 6との処理の最適配分を行う調停用プロセッサ1 1とを有している。

又、各ブロックは、FIG. 1 2に示すように、データ／アドレスバスにより接続されており、CPU・CP制御信号が供給される。又、このシステムと他のシステムとの通信は、調停用プロセッサ1 1にある外部要求割り込み端子、及び外部I/F 1 7を介して行われる。

又、調停用プロセッサ1 1は、FIG. 1 3に示すように、DMA (Direct Memory Access) 3 1と、処理プログラムやデータバスを受けるプログラムアナライザ3 2と、これに接続されるメモリ3 3と、動作プログラムを格納する動作プログラム格納部3 4と、複数のCP等に接続情報であるレジスタ情報等を格納する設定レジスタ3 5と、データ／アドレスを送受信するデータ／アドレス制御部3 8と、割り込み信号を受ける割り込み制御部3 6と、ここから割込制御信号を供給されるCPU／CP制御部3 7とを有している。

又、調停用プロセッサ1 1は、ソフトウェアの要求する処理機能や処理速度に応じて、並列プロセッサ（CPU 1 3とCP 1 4等をまとめてこう呼ぶ）へ、与えられたプログラム（タスク）の最適配分を行なうものである。

ここで、この調停用プロセッサ1 1は、ソフトウェアの要求する処理機能や処理速度に応じて、与えら得たプログラム（タスク）の並列プロセッサへの最適配分を行なうものである。



上述したように、ここで用いられる各々のCP14, 15, 16には、上述したプロセッサシステムが用いられるものであり、固定処理部28と適応処理部27とを有しており、一例として、固定処理部28で所望の高速処理を行い、適応処理部でプログラムが要求する特殊な画像処理を行う等の処理形態が好適である。

これらの機能を適宜、組み合わせることで、最大CP数倍の処理速度の向上を図ることが可能となる。すなわち、並列プロセッサの調停処理を専用に行わせるための調停用プロセッサを独立して設けることで、最高の処理効率を可能とするマルチプロセッサシステムを実現することができる。

#### (調停動作)

次に、このようなマルチプロセッサシステムの調停動作を含めた処理動作を、FIG. 14に示すフローチャートを用いて以下に詳細に説明する。FIG. 14のフローチャートに示されるように、調停用プロセッサ11は、CPU・CP制御信号群を介して、並列プロセッサの動作状態のチェックを定期的に行ない、外部要求割り込み(Request信号とAcknowledge信号)に対して即実行できるようにしている(S11)。次に、割り込み信号線を介してソフトウェアの処理要求が来ると同時に、要求されたソフトウェアが調停プロセッサ11内のメモリ33に書き込まれる(S12)。

調停プロセッサ11は、予め要求があった処理内容をプログラムアナライザ32にて解析し、現状のCPU13の動作状態での要求時間以内に処理が終了するかどうかを判断する(S13)。要求時間内で処理可能な場合は、CPU13にて処理を開始する(S14)。CPU13のみで処理されることにより、消費電力を削減することが可能となる。そして、予め設定されている要求時間と実行時間(Start/Done信号により時間を計測)を比較することにより、実行時間を確認し、要求時間及び結果が満たされている場合は(S15)、そこで処理を終了する。

更に、見積り結果が要求時間を満たしていない場合(S15)、CP14, 15, 16の一部又は全てを用いることで処理時間のアクセレート(accelerate)が可能であれば(S16)、事前にCP14, 15, 16の状態をチェックし、これにより、CP14, 15, 16の中の、適切な処理ができるCPへプログラムのタスクを割り付け、処理を開始する(S17)。これ以上のアクセレートが可能でなく、要求時間を満たすことができない時は、処理不可としてスタートへ戻る(S23)。

すなわち、CP14, 15, 16の一部又は全てを用いることにより処理時間のア

クセレート (accelerate) が可能であるとき、プログラムのタスクを適切なＣＰへ割り付けることで、タスクをＣＰ１４，１５，１６の一部又は全ての固定処理部２８で処理させる（Ｓ１８）。しかし、この処理によっても、要求は満たされなかった場合（Ｓ１９）、ＣＰ１４，１５，１６の一部又は全ての内の可変処理部２７で処理を開始するべく、不足している時間を算出して、目標時間に到達するために必要なＣＰ数を見積る（Ｓ２０）。そして、プリ・インストールされている固定処理部２８で実行可能か、又は、固定処理部２８の回路構成情報（接続情報）を可変処理部２７へ供給しなければならないかを判断する。

これにより、例えば、既存の固定処理部２８でプログラムのタスクが実行可能な場合、ＣＰ１４，１５，１６の一部又は全ての内の固定処理部２８のレジスタから別のＣＰ内の可変処理部２７のレジスタへ回路構成情報をコピーしたり（Download 開始信号アドレスによりコピー元ＣＰとコピー先ＣＰを指定する）、予め用意した回路構成情報を可変処理部２７に供給することで、最適な回路構成情報を可変処理部に実現する（Ｓ２１）。これにより、可変処理部２７を利用することで（又は、固定処理部２８と併用することで）、プログラムのタスクの処理を実行する。

以上、詳細に説明したように、プロセッサシステム及びこれをＣＰとして用いるマルチプロセッサシステムにおいては、プロセッサ内の制御部２０の働き、又は、マルチプロセッサシステム内の調停用プロセッサ１１の働きにより、固定処理部２８だけではなく、必要に応じて可変処理部２７にも適正な処理機能を生成しこれを利用することで、プログラムが要求するタスクを高速に処理することが可能となる。

又、上述した方法は一例であり、例えば、必ずしも処理時間を厳密に予測吟味する必要はなく、プログラムが要求する種類のタスクが実行可能かどうかを判断して、適宜、可変処理部の構成を変更する方法によっても、同等の作用効果を得られるものである。

以上記載した様々な実施形態により、当業者は本発明を実現することができるが、更にこれらの実施形態の様々な変形例を思いつくことが当業者によって容易であり、発明的な能力をもたなくとも様々な実施形態へと適用することが可能である。従って、本発明は、開示された原理と新規な特徴に矛盾しない広範な範囲に及ぶものであり、上述した実施形態に限定されるものではない。

## CLAIMS

1. プロセッサシステム comprising:

所定の情報処理機能をもつ固定処理部 ;

変更可能の情報処理機能をもつ可変処理部 ; and

与えられたタスクを、前記固定処理部に処理させるべく、又は、前記可変処理部の情報処理機能を新たに設定した後、前記可変処理部に処理させるべく制御する制御部.

2. プロセッサシステム according to claim 1, wherein 制御部は、前記与えられたタスクを解析し、この結果に応じて、前記可変処理部の情報処理機能を新たに設定した後、前記タスクを処理させるべく制御する。

3. プロセッサシステム according to claim 1, wherein 前記可変処理部は、ALU、MAC、LUT、FIFOの少なくとも一つを有しており、前記制御部から与えられる接続情報に応じて、新たな情報処理機能を実現する。

4. プロセッサシステム according to claim 1, wherein 前記固定処理部と前記可変処理部とは、複数の画像信号に応じて、複数の組として設けられており、それぞれ、前記複数の画像信号を平行して処理する。

5. プロセッサシステム according to claim 1, further comprising:

前記固定処理部と前記可変処理部と前記制御部とをもつ複数のコプロセッサ ;

前記タスクを優先的に処理するメインプロセッサ ; and

前記タスクを解析し、この結果に応じて、前記タスクを前記複数のコプロセッサに割り当てる調停部.

6. プロセッサシステム according to claim 5, wherein 前記調停部は、前記タスクを解析し、この結果に応じて、前記タスクを前記メインプロセッサのみに割り当てるか、又は、前記メインプロセッサと前記複数のコプロセッサとへ割り当てるかを判断する。

7. プロセッサシステム according to claim 5, wherein 前記調停部は、前記タスクを解析して前記メインプロセッサのみで処理した場合の処理時間を算出し、これに基づいて、前記タスクを前記メインプロセッサだけで処理するかどうかを判断する。

8. プロセッサシステム according to claim 1, wherein 前記可変処理部は、与えられる画像情報のフィルタリング処理を行う機能を有する。

9. プロセッサシステム according to claim 1, wherein 前記可変処理部は、与え

られる画像情報の識別処理を行う機能を有する。

10. プロセッサシステム according to claim 1, wherein 前記可変処理部は、与えられる画像情報の色変換処理を行う機能を有する。

11. プロセッサシステムの処理方法 comprising:

所定の情報処理機能をもつ固定処理部と、変更可能の情報処理機能をもつ可変処理部とを有するプロセッサシステムに対して、前記固定処理部と前記可変処理部との少なくとも一方に処理させることを決定し、

前記固定処理部に与えられたタスクを処理させ、又は、前記可変処理部の情報処理機能を新たに設定した後、前記タスクを処理させるべく制御する。

#### ABSTRACT OF THE DISCLOSURE

所定の情報処理機能をもつ固定処理部と、変更可能の情報処理機能をもつ可変処理部と、与えられたタスクを、固定処理部に処理させ、又は、可変処理部の情報処理機能を新たに設定した後、可変処理部に処理させるべく制御する制御部とを有するプロセスシステム。